

#2 Ball 6.807

10860 U.S. PRO  
09/751939  
01/02/01

# 대한민국 특허청

## KOREAN INDUSTRIAL PROPERTY OFFICE

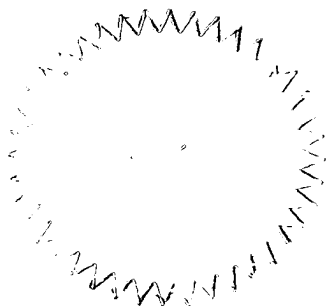
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 1999년 제 67988 호  
Application Number

출원년월일 : 1999년 12월 31일  
Date of Application

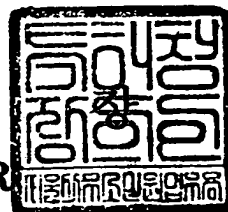
출원인 : 현대전자산업주식회사  
Applicant(s)



2000 년 11 월 07 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0061
【제출일자】	1999.12.31
【국제특허분류】	H01L
【발명의 명칭】	트랜지스터 및 그의 제조 방법
【발명의 영문명칭】	Transistor and method for manufacturing the same
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	정재관
【성명의 영문표기】	JEONG, Jae Goan
【주민등록번호】	600909-1792213
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 죽전리 883-1 대진수지2차아파트 104-701
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원

1019990067988

2000/11/1

【우선권 주장료】	0	건	0	원
【심사청구료】	3	항	205,000	원
【합계】	236,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

## 【요약서】

## 【요약】

본 발명은 소자 분리 산화막을 형성한 후 활성 영역을 식각하여 게이트 전극을 형성하므로 누설 전류, 지오아이(Gate Oxide Integrality:GOI) 손상 및 트랜지스터의 역 협소 폭 효과를 방지하기 위한 트랜지스터 및 그의 제조 방법에 관한 것이다.

본 발명의 트랜지스터 및 그의 제조 방법은 소자 분리 산화막을 형성하고 활성 영역을 식각하여 게이트 전극을 형성하므로, 로코스(LOCOS) 공정 또는 에스티아이(Shallow Trench Isolation:STI) 공정 시 소오스/드레인의 누설 전류 발생을 방지하여 DRAM의 리프레시(Refresh) 특성을 향상시키고 게이트 산화막의 손상을 방지하며 역 협소 폭 효과, 접합 L/C 및 GOI를 감소시켜 트랜지스터의 특성을 향상시키므로 소자의 특성 및 수율을 향상시키는 특징이 있다.

## 【대표도】

도 7

## 【명세서】

## 【발명의 명칭】

트랜지스터 및 그의 제조 방법{Transistor and method for manufacturing the same}

## 【도면의 간단한 설명】

도 1은 종래 기술에 따른 트랜지스터를 나타낸 레이아웃도

도 2는 도 1의 I-I 선상의 트랜지스터를 나타낸 구조 단면도

도 3은 도 1의 II-II 선상의 트랜지스터를 나타낸 구조 단면도

도 4a 내지 도 4d는 도 1의 I-I 선상의 트랜지스터의 제조 방법을 나타낸 공정 단면도

도 5a 내지 도 5d는 도 1의 II-II 선상의 트랜지스터의 제조 방법을 나타낸 공정 단면도

도 6은 본 발명의 실시 예에 따른 트랜지스터를 나타낸 레이아웃도

도 7은 도 6의 III-III 선상의 트랜지스터를 나타낸 구조 단면도

도 8은 도 6의 IV-IV 선상의 트랜지스터를 나타낸 구조 단면도

도 9a 내지 도 9f는 도 6의 III-III 선상의 트랜지스터의 제조 방법을 나타낸 공정 단면도

도 10a 내지 도 10f는 도 6의 IV-IV 선상의 트랜지스터의 제조 방법을 나타낸 공정 단면도

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

31: 반도체 기판

32: 소자 분리 산화막

33: 제 1 감광막

34: 게이트 산화막

35a: 제 1 다결정 실리콘층

35: 제 1 게이트 전극

36: 제 2 감광막

37: 제 1 산화막

38: LDD 영역

39: 질화막 측벽

40: 소오스/드레인 영역

41: 제 2 산화막

42: 제 3 산화막

43a: 제 2 다결정 실리콘층

43: 제 2 게이트 전극

44: 하드 마스크층

45: 제 3 감광막,

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<21> 본 발명은 트랜지스터 및 그의 제조 방법에 관한 것으로, 특히 소자 분리 산화막을 형성한 후 활성 영역을 식각하고 게이트 전극을 형성하여 소자의 특성 및 수율을 향상시키는 트랜지스터 및 그의 제조 방법에 관한 것이다.

<22> 도 1은 종래 기술에 따른 트랜지스터를 나타낸 레이아웃도이다.

<23> 그리고, 도 2는 도 1의 I-I 선상의 트랜지스터를 나타낸 구조 단면도이고, 도 3은 도 1의 II-II 선상의 트랜지스터를 나타낸 구조 단면도이다.

<24> 종래의 기술에 따른 트랜지스터는 도 1 그리고 도 2 및 도 3에서와 같이, p형이며 소자 분리 영역과 활성 영역이 정의된 반도체 기판(11), 상기 반도체

기판(11) 표면내의 소자 분리 영역에 형성되는 소자 분리 산화막(14), 상기 소자 분리 산화막(14)과 활성 영역의 일부 부위의 반도체 기판(11)상에 게이트 산화막(15)을 개재 하며 막대 모양의 일 방향으로 형성된 다수개의 게이트 전극들(16), 상기 각 게이트 전극(16) 양측의 반도체 기판(11) 표면내의 활성 영역에 형성되는 엘디디(Lightly Doped Drain:LDD) 영역(17), 상기 각 게이트 전극(16) 양측의 반도체 기판(11)상에 형성되는 제 2 질화막 측벽(18) 및 상기 제 2 질화막 측벽(18)을 포함한 각 게이트 전극(16) 양측의 반도체 기판(11) 표면내의 활성 영역에 형성되는 소오스/드레인 영역(19)으로 구성된다.

<25> 도 4a 내지 도 4d는 도 1의 I-I 선상의 트랜지스터의 제조 방법을 나타낸 공정 단면도이고, 도 5a 내지 도 5d는 도 1의 II-II 선상의 트랜지스터의 제조 방법을 나타낸 공정 단면도이다.

<26> 종래 기술에 따른 트랜지스터의 제조 방법은 도 4a 및 도 5a에서와 같이, 일반적인 에스티아이(Shallow Trench Isolation:STI) 방법으로 소자 분리 영역이 정의되며 p형인 반도체 기판(11)상에 패드(Pad) 산화막(12), 질화막(13) 및 제 1 감광막을 차례로 형성한다.

<27> 그리고, 상기 제 1 감광막을 상기 소자 분리 영역 상측에만 제거되도록 선택적으로 노광 및 현상한 후, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 1 질화막(13), 제 1 산화막(12) 및 반도체 기판(11)을 선택적 식각하여 트렌치를 형성한다.

<28> 이어, 상기 제 1 감광막을 제거한 다음, 상기 트렌치를 포함한 전면에 소자

분리 산화막(14)을 성장시키고, 상기 제 1 질화막(13)을 식각 종말점으로 하여 상기 소자 분리 산화막(14)을 시엠포(Cheical Mechanical Polishing: CMP) 방법 또는 에치 백(Etch Back) 방법을 사용하여 상기 트렌치내에만 남으면서 평탄화 시킨다.

<29> 도 4b 및 도 5b에서와 같이, 상기 반도체 기판(11)상에 형성된 제 1 질화막(13) 및 제 1 산화막(12)을 제거하고, 상기 소자 분리 산화막(14)을 포함한 반도체 기판(11)상에 채널 조절 이온의 이온주입 공정을 하여 상기 반도체 기판(11) 표면내에 채널 영역(C)을 형성한다.

<30> 그리고, 전면의 열산화 공정으로 상기 반도체 기판(11)상에 제 2 산화막을 성장시킨 다음, 상기 제 2 산화막상에 다결정 실리콘층(16a)과 텅스텐(W)층(16b)을 형성한다.

<31> 이어, 상기 텅스텐층(16b)상에 제 2 감광막을 도포하고, 상기 제 2 감광막을 게이트 전극이 형성될 부위에만 남도록 선택적으로 노광 및 현상한다.

<32> 그리고, 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 텅스텐층(16b), 다결정 실리콘층(16a) 및 제 2 산화막을 선택적으로 식각하여 게이트 산화막(15)과 게이트 전극(16)을 형성한 후, 상기 제 2 감광막을 제거한다.

<33> 도 4c 및 도 5c에서와 같이, 상기 게이트 전극(16)을 마스크로 전면에 저농도 n형 불순물 이온주입 공정을 실시하고, 드라이브-인(Drive-in) 확산함으로써 상기 게이트 전극(16) 양측의 반도체 기판(11) 표면내의 활성 영역에 LDD 영역(17)을 형성한다.

<34> 도 4d 및 도 5d에서와 같이, 상기 게이트 전극(16)을 포함한 전면에 제 2 질화막을 형성하고, 상기 제 2 질화막을 에치 백하여 상기 게이트 전극(16) 양측의 반도체 기판(11)상에 제 2 질화막 측벽(18)을 형성한다.



<35> 그리고, 상기 게이트 전극(16)과 제 2 질화막 측벽(18)을 마스크로 고농도 n형 불순물 이온주입 공정을 실시하고, 드라이브 인 확산하므로써 상기 제 2 질화막 측벽(18)을 포함한 게이트 전극(16) 양측의 반도체 기판(11) 표면내의 활성 영역에 소오스/드레인 영역(19)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

<36> 그러나 종래의 트랜지스터 및 그의 제조 방법은 다음과 같은 문제점이 있었다.

<37> 첫째, 로코스(LOCOS) 공정 또는 STI 공정, 이온주입 공정 및 후속 열처리 공정 시 소자 분리 산화막의 측벽이 손상되어 누설 전류가 증가하므로 DRAM의 리프레시(Refresh) 특성이 저하된다.

<38> 둘째, 소자 분리 산화막과의 단차로 활성 영역의 중심 부위보다 가장자리의 게이트 산화막의 두께가 얇아져 지오아이(Gate Oxide Integrality:GOI) 손상 및 트랜지스터의 역 협소 폭 효과가 발생한다.

<39> 본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 소자 분리 산화막을 형성한 후 활성 영역을 식각하여 게이트 전극을 형성하므로 누설 전류, GOI 손상 및 트랜지스터의 역 협소 폭 효과를 방지하는 트랜지스터 및 그의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<40> 본 발명의 트랜지스터는 제 1 도전형이며 소자 분리 영역과 활성 영역이 정의된 기판, 상기 소자 분리 영역의 기판상에 형성되는 소자 분리막, 상기 활성 영역의 일부 부위의 기판상에 게이트 절연막을 개재하고 그 표면이 산화되며 막대 모양의 일 방향으로

형성된 게이트 전극, 상기 게이트 전극 양측의 기판 표면내의 활성 영역에 형성되는 LDD 영역, 상기 게이트 전극 양측과 소자 분리 분리막 측벽의 상기 게이트 전극 양측의 기판 상에 형성되는 제 1 절연막 측벽, 상기 제 1 절연막 측벽을 포함한 게이트 전극 양측의 기판 표면내의 활성 영역에 형성되는 소오스/드레인 영역 및 상기 제 1 절연막 측벽을 포함한 게이트 전극과 소자 분리 산화막 사이의 기판상에 형성된 제 2, 제 3 절연막을 포함하여 구성됨을 특징으로 한다.

<41> 그리고, 본 발명의 트랜지스터의 제조 방법은 제 1 도전형이며 소자 분리 영역과 활성 영역이 정의된 기판을 마련하는 단계, 상기 소자 분리 영역의 기판상에 소자 분리막을 형성하는 단계, 상기 활성 영역의 일부 부위의 기판상에 게이트 절연막을 개재하고 그 표면이 산화된 제 1 게이트 전극을 형성하는 단계, 상기 제 1 게이트 전극 양측의 기판 표면내의 활성 영역에 LDD 영역을 형성하는 단계, 상기 제 1 게이트 전극 양측과 소자 분리 분리막 측벽의 기판상에 제 1 절연막 측벽을 형성하는 단계, 상기 제 1 절연막 측벽을 포함한 제 1 게이트 전극 양측의 기판 표면내의 활성 영역에 소오스/드레인 영역을 형성하는 단계, 상기 제 1 절연막 측벽을 포함한 제 1 게이트 전극과 소자 분리 산화막 사이의 기판상에 평탄화용 제 2 절연막을 형성하는 단계, 상기 제 2 절연막상에 제 2 게이트 전극 형성용 도전층과 하드 마스크층을 형성하는 단계 및 상기 하드 마스크층과 도전층을 선택 식각하여 상기 제 1 게이트 전극상에 제 2 게이트 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

<42> 상기와 같은 본 발명에 따른 트랜지스터 및 그의 제조 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<43> 도 6은 본 발명의 실시 예에 따른 트랜지스터를 나타낸 레이아웃도이다.

<44> 그리고, 도 7은 도 6의 III-III선상의 트랜지스터를 나타낸 구조 단면도이고, 도 8은 도 6의 IV-IV선상의 트랜지스터를 나타낸 구조 단면도이다.

<45> 본 발명의 실시 예에 따른 트랜지스터는 도 6 그리고 도 7 및 도 8에서와 같이, p형이며 소자 분리 영역과 활성 영역이 정의된 반도체 기판(31), 상기 소자 분리 영역의 반도체 기판(31)상에 형성되는 소자 분리 산화막(32), 상기 활성 영역의 일부 부위의 반도체 기판(31)상에 게이트 산화막(34)을 개재하고 그 표면이 산화되며 막대 모양의 일 방향으로 형성된 게이트 전극, 상기 게이트 전극 양측의 반도체 기판(31) 표면내의 활성 영역에 형성되는 LDD 영역(38), 상기 게이트 전극 양측의 반도체 기판(31)상에 형성되는 질화막 측벽(39), 상기 질화막 측벽(39)을 포함한 게이트 전극 양측의 반도체 기판(31) 표면내의 활성 영역에 형성되는 소오스/드레인 영역(40) 및 상기 질화막 측벽(39)을 포함한 게이트 전극과 소자 분리 산화막(32) 사이의 반도체 기판(31)상에 형성된 제 2, 제 3 산화막(41,42)으로 구성된다.

<46> 도 9a 내지 도 9f는 도 6의 III-III선상의 트랜지스터의 제조 방법을 나타낸 공정 단면도이고, 도 10a 내지 도 10f는 도 6의 IV-IV선상의 트랜지스터의 제조 방법을 나타낸 공정 단면도이다.

<47> 본 발명의 실시 예에 따른 트랜지스터의 제조 방법은 도 9a 및 도 10a에서와 같이, p형이며 소자 분리 영역과 활성 영역이 정의된 반도체 기판(31)상에 소자 분리 산화막(32)과 제 1 감광막(33)을 형성한다.

<48> 그리고, 상기 제 1 감광막(33)을 상기 활성 영역 상측에만 제거되도록 선택적으로 노광 및 현상한다.

- <49> 여기서, 상기 소자 분리 산화막(32)을 10 ~ 300Å 두께로 형성한 후, 전면에 웰(Well) 이온, 필드 스톱(Field Stop) 이온 및 문턱 전압(Vt) 조절 이온의 이온주입 공정을 한 다음, 상기 제 1 감광막(33)을 도포한다.
- <50> 도 9b 및 도 10b에서와 같이, 상기 선택적으로 노광 및 현상된 제 1 감광막(33)을 마스크로 상기 소자 분리 산화막(32)을 선택적으로 식각하여 홈을 형성한다.
- <51> 여기서, 상기 홈의 바닥 부위가 라운딩(Rounding)되도록 상기 소자 분리 산화막(32)을 식각하여 GOI 저하 및 트랜지스터 역 협소 폭 효과를 방지한다.
- <52> 그리고, 상기 제 1 감광막(33)을 제거한 다음, 상기 노출된 반도체 기판(31)상에 게이트 산화막(34)을 성장시킨다.
- <53> 이어, 상기 소자 분리 산화막(32)과 (34)상에 홈을 포함한 전면에 제 1 다결정 실리콘층(35a)을 형성한다.
- <54> 도 9c 및 도 10c에서와 같이, 상기 다결정 실리콘층(35a)을 상기 소자 분리 산화막(32)의 식각 종말점의 시앰피(Chemical Mechanical Polishing: CMP) 공정으로 평탄화 한 후, 전면에 제 2 감광막(36)을 도포한다.
- <55> 그리고, 상기 제 2 감광막(36)을 상기 제 1 게이트 전극이 형성될 부위에만 남도록 선택적으로 노광 및 현상한다.
- <56> 도 9d 및 도 10d에서와 같이, 상기 선택적으로 노광 및 현상된 제 2 감광막(36)을 마스크로 상기 제 1 다결정 실리콘층(35a)을 선택적으로 식각하여 제 1 게이트 전극(35)을 형성한 후, 상기 제 2 감광막(36)을 제거한다.
- <57> 그리고, 상기 제 1 게이트 전극(35)을 열산화하여 그 표면상에 제 1 산화막(37)을

1019990067988

성장시킨 후, 상기 소자 분리 산화막(32)과 제 1 게이트 전극(35)을 마스크로 전면에서 저농도 n형 불순물 이온주입 공정을 실시하고, 드라이브-인(Drive-in) 확산함으로써 상기 제 1 게이트 전극(35) 양측의 반도체 기판(31) 표면내의 활성 영역에 LDD 영역(38)을 형성한다.

<58> 이어, 전면에서 질화막을 형성하고, 상기 질화막을 에치 백하여 상기 제 1 게이트 전극(35) 양측과 소자 분리 산화막(32) 측벽의 반도체 기판(31)상에 질화막 측벽(39)을 형성한다.

<59> 그 후, 상기 제 1 게이트 전극(35)과 질화막 측벽(39)을 마스크로 고농도 n형 불순물 이온주입 공정을 실시하고, 드라이브 인 확산함으로써 상기 질화막 측벽(39)을 포함한 제 1 게이트 전극(35) 양측의 반도체 기판(31) 표면내의 활성 영역에 소오스/드레인 영역(40)을 형성한다.

<60> 도 9e 및 도 10e에서와 같이, 상기 질화막 측벽(39)을 포함한 전면에서 제 2, 제 3 산화막(41,42)을 형성하고, 상기 제 1 게이트 전극(35)이 노출되도록 상기 소자 분리 산화막(32)의 식각 종말점의 CMP 공정으로 평탄화 한다.

<61> 그리고, 상기 평탄화된 전면에서 제 2 다결정 실리콘층(43a), 하드 마스크층(44) 및 제 3 감광막(45)을 형성한다.

<62> 이어, 상기 제 3 감광막(45)을 상기 제 2 게이트 전극이 형성될 부위에만 남도록 선택적으로 노광 및 현상한다.

<63> 도 9f 및 도 10f에서와 같이, 상기 선택적으로 노광 및 현상된 제 3 감광막(45)을 마스크로 상기 하드 마스크층(44)과 제 2 다결정 실리콘층(43a)을 선택적으로 식각하여

제 2 게이트 전극(43)을 형성한 후, 상기 제 3 감광막(45)을 제거한다.

<64>       상기와 같이, 본 발명의 게이트 전극은 상기 제 1, 제 2 게이트 전극(35,43)으로 형성하며 특히 도 10f에서와 같이, 상기 제 1, 제 2 게이트 전극(35,43)의 구조가 “T”자 모양을 갖는다.

**【발명의 효과】**

<65>       본 발명의 트랜지스터 및 그의 제조 방법은 소자 분리 산화막을 형성하고 활성 영역을 식각하여 게이트 전극을 형성하므로, 로코스 공정 또는 STI 공정 시 소오스/드레인 의 누설 전류 발생을 방지하여 DRAM의 리프레시 특성을 향상시키고 게이트 산화막의 손상을 방지하며 역 협소 폭 효과, 접합 L/C 및 GOI을 감소시켜 트랜지스터의 특성을 향상시키므로 소자의 특성 및 수율을 향상시키는 효과가 있다.

**【특허청구범위】****【청구항 1】**

제 1 도전형이며 소자 분리 영역과 활성 영역이 정의된 기판;

상기 소자 분리 영역의 기판상에 형성되는 소자 분리막;

상기 활성 영역의 일부 부위의 기판상에 게이트 절연막을 개재하고 그 표면이 산화되며 막대 모양의 일 방향으로 형성된 게이트 전극;

상기 게이트 전극 양측의 기판 표면내의 활성 영역에 형성되는 LDD 영역;

상기 게이트 전극 양측과 소자 분리 분리막 측벽의 상기 게이트 전극 양측의 기판상에 형성되는 제 1 절연막 측벽;

상기 제 1 절연막 측벽을 포함한 게이트 전극 양측의 기판 표면내의 활성 영역에 형성되는 소오스/드레인 영역;

상기 제 1 절연막 측벽을 포함한 게이트 전극과 소자 분리 산화막 사이의 기판상에 형성된 제 2, 제 3 절연막을 포함하여 구성됨을 특징으로 하는 트랜지스터.

**【청구항 2】**

제 1 도전형이며 소자 분리 영역과 활성 영역이 정의된 기판을 마련하는 단계;

상기 소자 분리 영역의 기판상에 소자 분리막을 형성하는 단계;

상기 활성 영역의 일부 부위의 기판상에 게이트 절연막을 개재하고 그 표면이 산화된 제 1 게이트 전극을 형성하는 단계;

상기 제 1 게이트 전극 양측의 기판 표면내의 활성 영역에 LDD 영역을 형성하는 단계;

상기 제 1 게이트 전극 양측과 소자 분리 분리막 측벽의 기판상에 제 1 절연막 측벽을 형성하는 단계;

상기 제 1 절연막 측벽을 포함한 제 1 게이트 전극 양측의 기판 표면내의 활성 영역에 소오스/드레인 영역을 형성하는 단계;

상기 제 1 절연막 측벽을 포함한 제 1 게이트 전극과 소자 분리 산화막 사이의 기판상에 평탄화용 제 2 절연막을 형성하는 단계;

상기 제 2 절연막상에 제 2 게이트 전극 형성용 도전층과 하드 마스크층을 형성하는 단계;

상기 하드 마스크층과 도전층을 선택 식각하여 상기 제 1 게이트 전극상에 제 2 게이트 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 트랜지스터의 제조 방법.

### 【청구항 3】

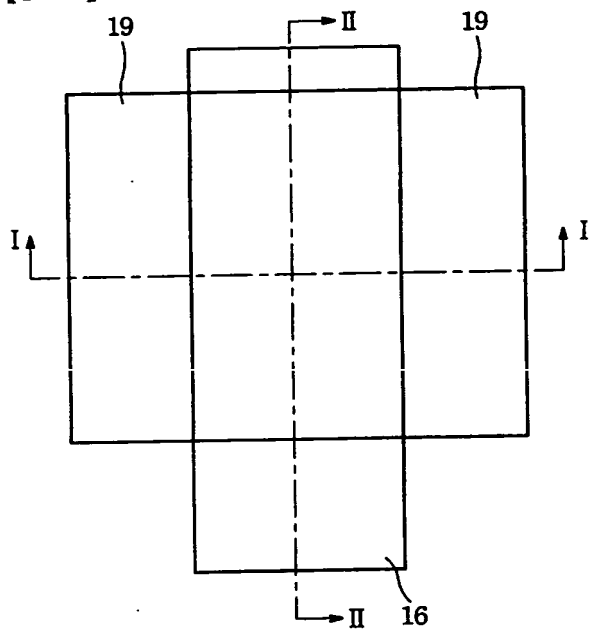
제 2 항에 있어서,

상기 소자 분리막을 10 ~ 300Å 두께로 형성함을 특징으로 하는 트랜지스터의 제조 방법.

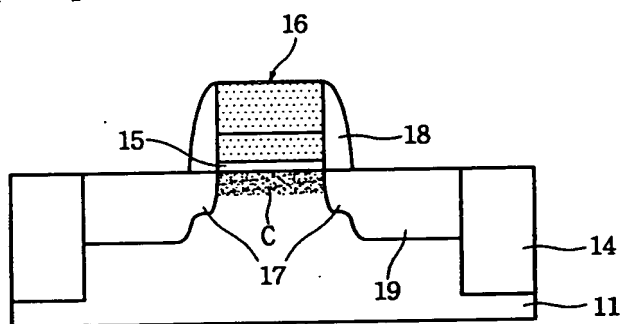


【도면】

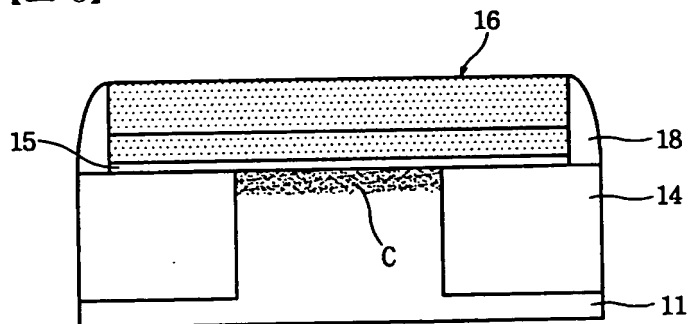
【도 1】



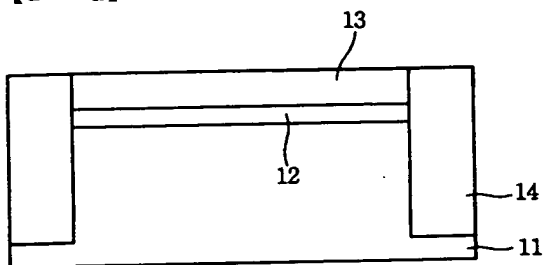
【도 2】



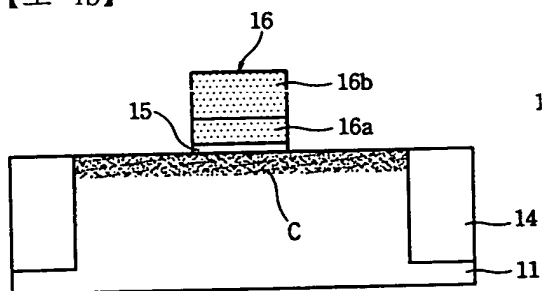
【도 3】



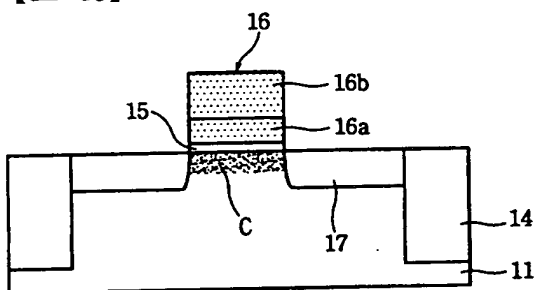
【도 4a】



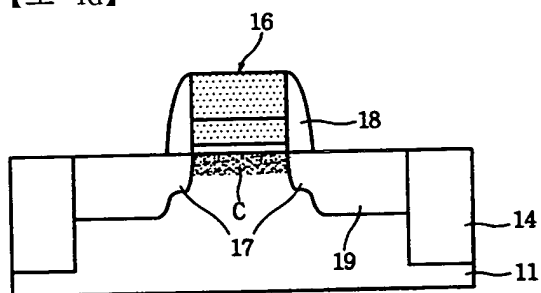
【도 4b】



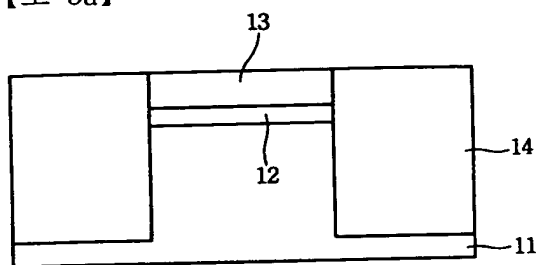
【도 4c】



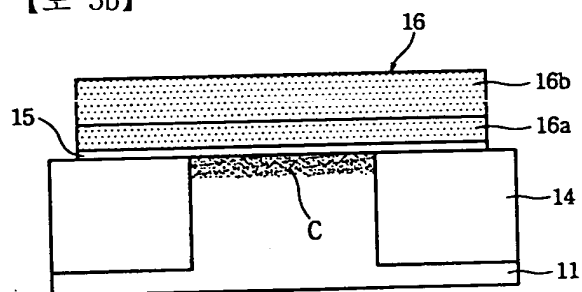
【도 4d】



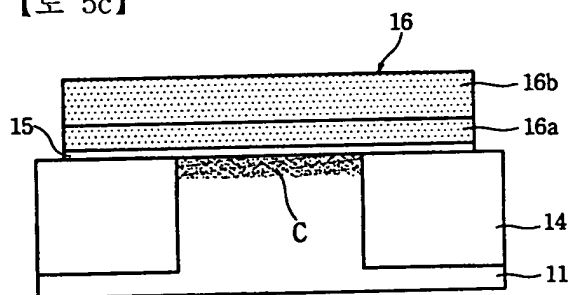
【도 5a】



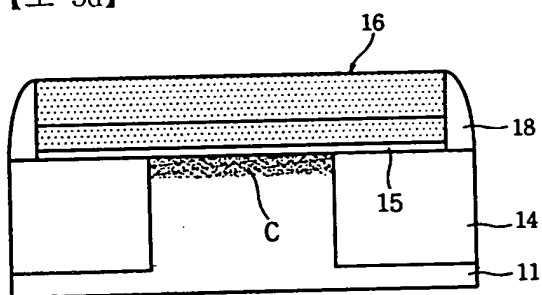
【도 5b】



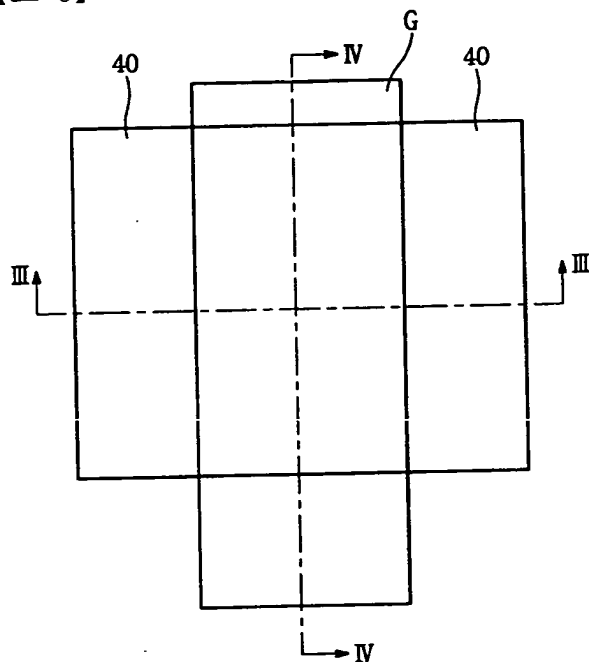
【도 5c】



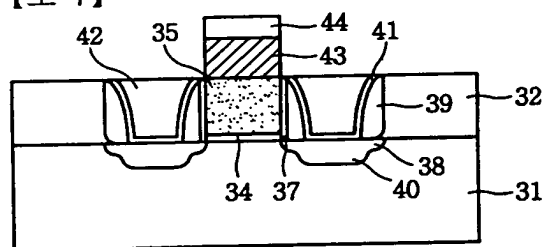
【도 5d】



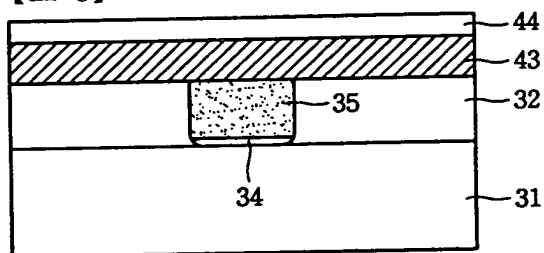
【도 6】



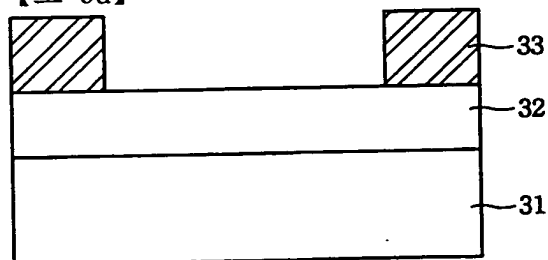
【도 7】



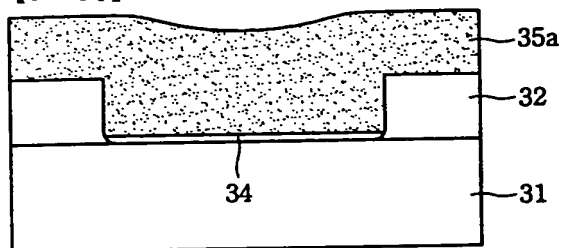
【도 8】



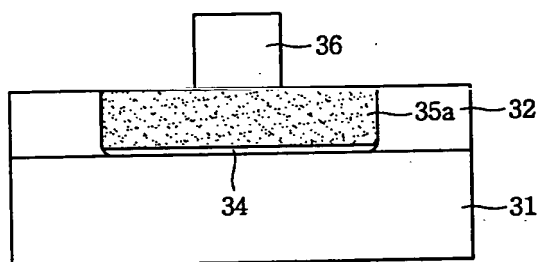
【도 9a】



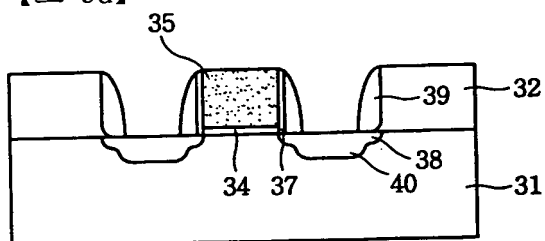
【도 9b】



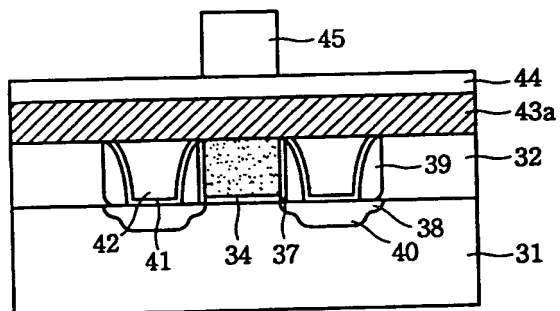
【도 9c】



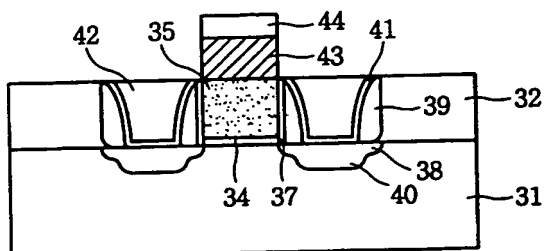
【도 9d】



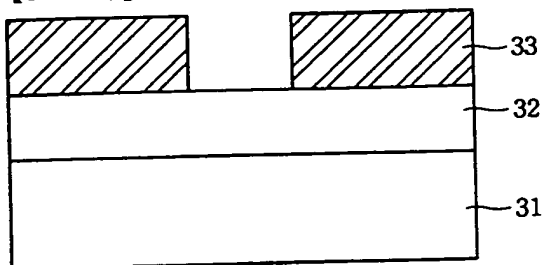
【도 9e】



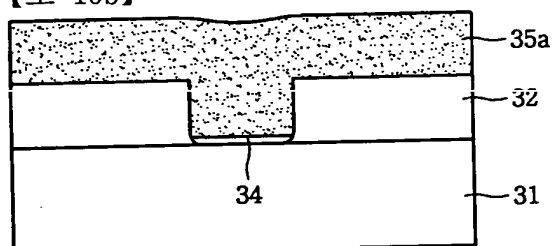
【도 9f】



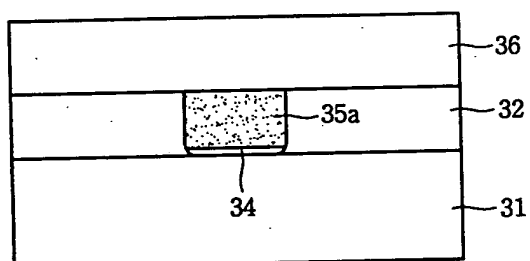
【図 10a】



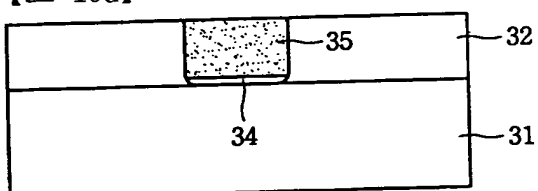
【図 10b】



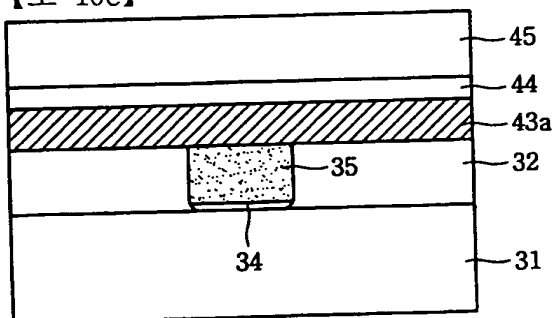
【図 10c】



【図 10d】



【図 10e】



【도 10f】

